

VME DISPLAY MODUL
Type: VDIS2
Version 1.0

ARW - Elektronik
Schlehenweg 1
D-69168 Wiesloch
Germany
Tel. 06222/50816

Die angegebenen Daten dienen alleine der Produktbeschreibung und sind nicht als zugesicherte Eigenschaften im Rechtssinne aufzufassen.

Änderungen sind vorbehalten.

Es ist ohne die ausdrückliche schriftliche Zustimmung von ARW Elektronik nicht erlaubt die Produkte von ARW Elektronik in Bereichen einzusetzen, die Leben und Gesundheit von Menschen beeinflussen können.

Der Nachdruck, auch auszugsweise, ist nur mit Erlaubnis der Firma

ARW gestattet.

Technische Änderungen sind vorbehalten.

Inhaltsverzeichnis

1	ÜBERSICHT	3
2	FRONTANSICHT	4
3	FUNKTION DER LEDS UND SCHALTER.....	5
3.1	DIE SIGNALGRUPPIERUNG	5
3.2	SPEICHERN UND ANZEIGE DER VME-SIGNALE	5
3.3	SONSTIGE LEDS.....	6
3.4	DIE SCHALTER / TASTER UND IHRE FUNKTION.....	6
3.5	DIE SCHALTER AN DER FRONTPLATTE	7
3.6	DIE INTERNEN SCHALTER.....	8
4	BEACHTENSWERTES.....	9
4.1	ALLGEMEINE HINWEISE	9
4.2	ZEITLICHE ZUSAMMENHÄNGE.....	9
4.3	STROMAUFNAHME	9
5	HINWEIS UND TIPS ZUR BEDIENUNG.....	10
5.1	MONITORING.....	10
5.2	ADRESS/DATEN-TESTS	10
5.3	ERKENNEN VON ZUFÄLLIGEN BUSFEHLERN	10
5.4	ÜBERPRÜFUNG DER BUSZUTEILUNG	10
5.5	ÜBERPRÜFUNG DER INTERRUPT-DAISY-CHAIN.....	11
5.6	ÜBERPRÜFUNG DES UTILITY BUS.....	11
6	DER SHORT ADRESSBEREICH.....	12
6.1	KONFIGURATION	12
6.2	ZUGRIFFSZEITEN	12
7	ADRESSMAP	13
7.1	CONTROL- U. STAUSTREGISTER	13
7.2	INTERRUPT- U. TIMEOUT REGISTER	14
7.3	VME CONTROL REGISTER + SOIC	15
7.4	VME ADRESS REGISTER.....	15
7.5	VME DATA REGISTER	15
7.6	TESTZÄHLER	15
8	BESTÜCKUNGSPLAN	16
9	DER VMEBUS.....	17
9.1	VMEBUS BELEGUNG J1	17
9.2	VMEBUS BELEGUNG J2.....	18
9.3	DIE ADRESS-MODIFIER DES VMEBUS	19
10	NOTIZEN.....	20

1 ÜBERSICHT

VDIS2 ist eine Weiterentwicklung von VDIS, das sich seit 12 Jahren als Test- und Diagnosemodul für den VMEbus im Markt etabliert hat. Mit VDIS2 kann man die üblichen Schwierigkeiten bei Konfiguration, Inbetriebnahme und Test von VMEbus Einheiten leichter überwinden. VDIS2 ist ein nützliches Werkzeug für die „Ferndiagnose“, den Service und die Reparatur von VMEbus Komponenten.

Was ist neu an VDIS2:

- VDIS2 hat einen 256 Byte umfassende VME-SHORT Adressbereich für erweiterte Testfunktionen. Dieser Bereich ist abschaltbar.

Funktionen im VME-SHORT-Bereich:

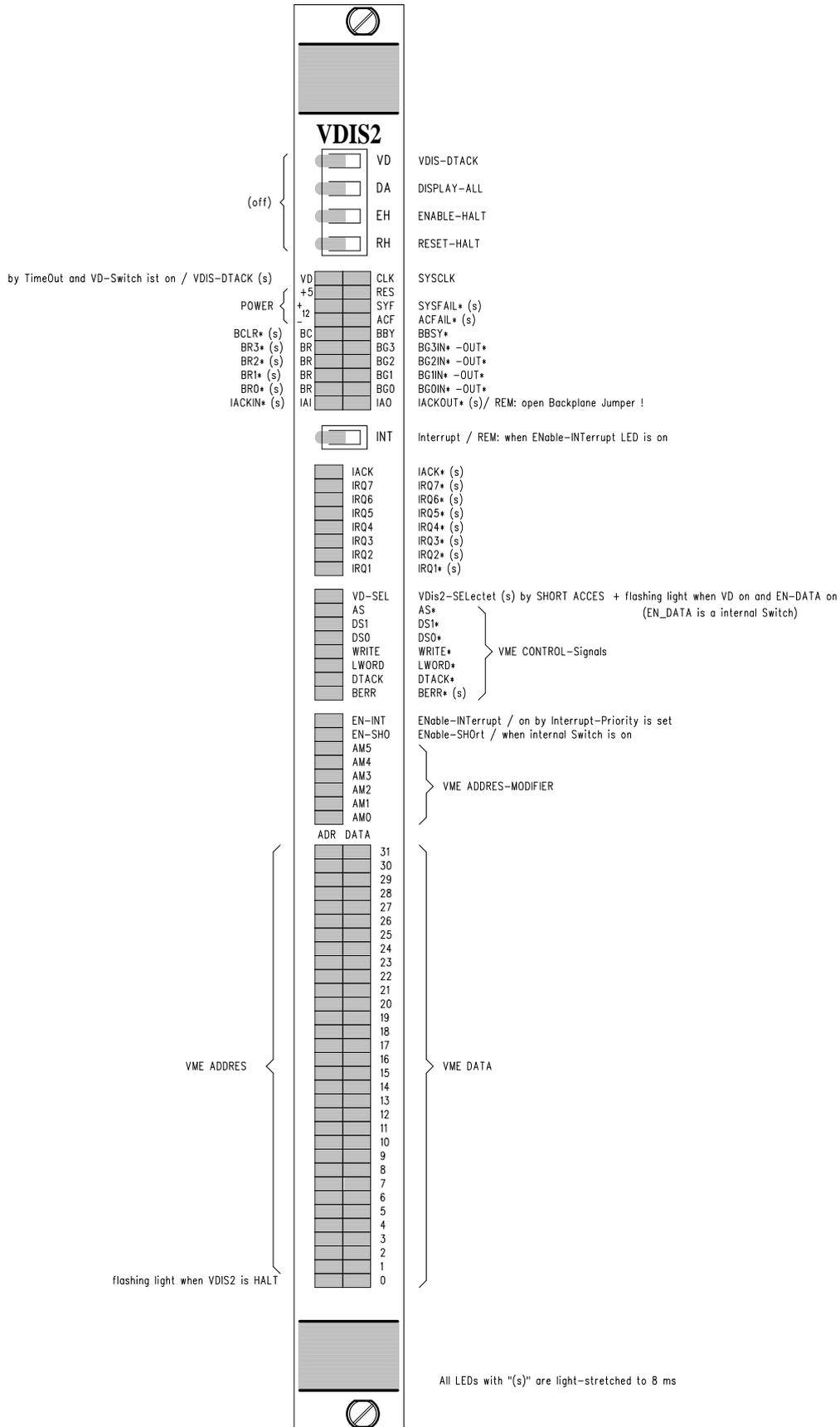
- Alle Schalter- und Tasterfunktionen können per Software gesteuert werden.
- Interrupt Logik für Testzwecke.
- Adressen, Daten und die VME-Control-Signale werden bei jedem VME-Zyklus in auslesbaren Registern gespeichert.
- 32-bit Datenregister für Schreib- u. Lesetests.
- 32-bit Testzähler.

Die Standardfunktionen von VDIS2:

- Es zeigt (mit wenigen Ausnahmen) alle Signale des VMEbus durch Leuchtdioden gut sichtbar an.
- Es hält bestimmte Signalgruppen mit dem dazugehörigen Qualifizierer sichtbar fest.
- Es verlängert zur besseren Erkennbarkeit die LED-Anzeige bestimmter Signale durch Signal-Stretcher.
- Es besitzt einen mittels Schalter einstellbaren Diagnosemodus, welcher nach Ablauf einer Timeout-Zeit bei Zugriff auf den VMEbus ein DTACK* generiert.
- Des weiteren können nach Ablauf der Timeout-Zeit (beim VME-Read) die Daten des vorausgegangenem Zyklus gelesen werden.
- Es gibt einen zusätzlichen Diagnose-Modus, der den Status der Bussignale beim Auftreten eines Bus-Errors bis zum manuellen Rücksetzen festhält.
- Es ist einfach zu benutzen und transparent für jede Software.
- Es zeigt folgende VMEbus-Signale an:

Data Transfer Bus:	D00..D31, A00..A31, AM0..AM5, LWORD*, WRITE* AS*, DS0*, DS1 *, DTACK*, BERR*.
Interrupt Bus:	IRQx*, IACK*, IACKIN*, IACKOUT*
Arbitration Bus:	BRx*, BGxIN* - BGxOUT*, BBSY*, BCLR*
Utility Bus:	SYSRESET*, SYSFAIL*, ACFAIL*, SYSCLK*.
- Sonstige LEDs: +5Volt, +12Volt, -12Volt, VDIS-DTACK*, EN-SHort, VDis2-SElect, EN-INTerrupt, HALT
- Modul Format: 6HE / 4TE.
- Die Haupt-Bedienelemente sind von der Frontseite zugänglich. Die Anzeigeelemente sind ergonomisch-farblich gruppiert.

2 FRONTANSICHT



3 FUNKTION DER LEDs UND SCHALTER

3.1 Die Signalgruppierung

VDIS2 zeigt die meisten VMEbus-Signale an der Frontplatte über LEDs an. Zur besseren Erkennbarkeit sind die Adress- und Datensignale in 4-er Gruppen (Nibbles) farblich angeordnet. Damit kann eine schnelle Umsetzung der Muster in hexadezimale Ziffern erfolgen.

Eine leuchtende LED zeigt ein aktives Signal an, z.B. leuchtet die LED „D0“ (Data 0) auf, wenn der Signalpegel (VMEbus) über der TTL-Schaltschwelle lag. Hingegen leuchtet die LED „AS“ auf, wenn der Signalpegel unterhalb der TTL-Schaltschwelle war.

Bestimmte Signale werden zum Abschluss eines VMEbus Transfer-Zyklus durch die Logik auf der VDIS2 „gefangen“, manche Signale werden über „Stretcher“ (Signal-Verlängerungs-Schaltungen) auf eine physiologische Erkennbarkeitsdauer verlängert. Einige Signale werden einfach statisch dargestellt.

3.2 Speichern und Anzeige der VME-Signale

Folgende Signale werden mit DTACK* oder BERR* gefangen:

Daten:	D00..D31
Adressen:	A01..A31
Adressmodifier:	AM0..AM5
Steuersignale:	AS*, DS0*, DS1 *, WRITE*, LWORD*
Interrupt-Bus:	IACK*, IACKIN*, IACKOUT*

Wenn kein DTACK* oder BERR* aktiv wird, werden die zuvor genannten Signale mit dem Ende von DS0* / DS1* gespeichert. Dies kann jedoch bei zu kurzen Haltezeiten der Adressen, Daten u. AM-Signale des VME-Masters dazuführen, dass die dann gespeicherten Inhalte **nicht** dem Status des VME-Zyklus entsprechen.

Durch zu Hilfenahme von Startregistern werden die „Steuersignale“ immer richtig dargestellt. Die Signale DTACK* und BERR* werden durch die eigene Aktivität gespeichert und dargestellt.

Folgende Signale werden mit BBSY* gefangen:

Arbitration-Bus:	BG0IN*, BG0OUT*, BG1IN*, BG1OUT*
	BG2IN*, BG2OUT*, BG3IN*, BG3OUT*

Folgende Signale werden zur optischen Wahrnehmung verlängert:

Interrupt-Bus:	IRQ1*..IRQ7 , IACK*, IACKIN*, IACKOUT*
Arbitration-Bus:	BGx*, BRx*, BCLR*, BBSY*
Utility-Bus:	SYSRESET*, SYSFAIL*, ACFAIL* ,BERR*

Das Signal SYSCLK*:

Ob das SYSCLK Signal vorhanden ist, wird mittels einer Differenzierlogik geprüft. Befinden sich mehrere, als System-Controller beschaltete, Mastermodule in einem VME-System, so wird die SYSCLK u.U. mehrfach eingespeist. Dies kann manchmal durch ein flackern der CLK-LED erkannt werden. Ob das SYSCLK Signal vorhanden ist, kann anhand eines Statusbits aus VDIS2 gelesen werden.

3.3 Sonstige LEDs**Power LEDs:**

Indirekt angezeigt wird das Anstehen der Versorgungsspannungen +5Volt, +12Volt und -12Volt. Die Versorgungsspannungen werden mit Hilfe des ICs MAX 8215 überwacht.

Die +5Volt-LED leuchtet bei einer Spannung über +4,6Volt.

Die +12Volt-LED leuchtet bei einer Spannung über +10,6 Volt.

Die -12Volt-LED leuchtet bei einer Spannung unter -10,6 Volt.

Es wird vorausgesetzt, dass die 5 Volt Versorgungsspannung für die VDIS2-Logik in einem funktionalen Bereich ist. Sollte dies nicht gegeben sein, wird dies zu Fehlinterpretationen führen.

LED „VD“ (VDIS-DATCK):

Zeigt an, dass VDIS2 (nach Timeout) den DTACK* generiert hat. Diese Anzeige ist auf ca. 8 ms gedehnt. Bei einem aktiven HALT leuchtet diese LED permanent.

LED „INT“:

Zeigt an, dass im Interruptregister die Interrupt-Priorität gesetzt ist und mittels des Tasters „INT“ ein IRQx auf dem VMEbus aktiviert werden kann.

LED „EN-SHORT“:

Zeigt an, dass der interne Schalter „EN-SHORT“ eingeschaltet ist und somit SHORT Zugriffe auf das Display-Modul möglich sind.

Wenn VDIS2 nach einem Timeout Daten auf den VMEbus geben kann, d.h. Schalter VD und EN-DATA sind eingeschaltet, wird dies durch kurzzeitiges **blinken** (invertieren der EN-SHORT LED) angezeigt.

LED „HALT“:

Das A00 Signal existiert beim VMEbus nicht. Jedoch bedingt durch die Gruppierung der Leuchtdioden ist dieser Platz bestückt und zur Erkennung des „HALT“ Zustandes nutzbar gemacht. Bei kurzzeitigem aufleuchten der LED (blinken) ist VDIS2 im diesem Zustand (siehe auch 3.4 Schalter ENABLE-HALT).

Anmerkung: Die LED (ADR. 0) ist nicht beschriftet !

Nicht angezeigt werden :

+5VSTBY, SERCLK, SERDAT* und RESERVED

3.4 Die Schalter / Taster und ihre Funktion

An der Front der Anzeigeeinheit befinden sich drei Schalter und zwei Taster. Des weiteren sind zwei baugleiche Schalter sowie zwei Steckbrücken innen auf der Leiterplatte des Moduls. Je nach gewünschter Betriebsart sind die internen Schalter vor dem Einschieben von VDIS2 in den

Überrahmen ein- oder auszuschalten. Die internen Steckbrücken sind z.Z. funktional noch nicht beschaltet und dienen künftigen Erweiterungen.

3.5 Die Schalter an der Frontplatte

Der Schalter „VD“ (VDIS-DTACK)

aktiviert die Generierung einer Antwort von VDIS2 nach Ablauf der Timeout-Zeit. Die Länge dieses Timeouts ist fest auf ca. 4µs eingestellt (bei „EN-SHORT“ aus). Wenn „EN-SHORT“ eingeschaltet ist, kann die Timeout-Zeit per Software auf 3µs, 2µs oder 1µs variiert werden. Bei „VDIS-DTACK = ein“ antwortet die Anzeigeeinheit auf alle Bustransfers, die nicht vor der Ablaufzeit terminiert werden. Dabei werden nicht nur „normale“ Data-Transfers, sondern auch „Interrupt-Acknowledge-Cycles“ beantwortet. Nur wenn der Schalter „VD“ eingeschaltet ist, kann die Schalterfunktion von „EN-DATA“ wirksam werden.

Der Schalter „DA“ (DISPLAY ALL)

aktiviert den nicht interpretierenden Displaymodus von VDIS2. Bei ausgeschaltetem Schalter „DA“ werden die Ergebnisse aller Bustransfers von der Logik der Anzeigeeinheit interpretiert. So überschreibt z.B. ein Byte-Transfer nur das jeweilige Byte auf der Anzeige. Oder bei einem 16bit Short-Adress Zyklus werden nur die A01 - A15 und D00 - D15 dargestellt. Bei eingeschaltetem „DA“ zeigt VDIS2 alle registrierten Adressen, Daten u. Adressmodifizier an.

Mit dem Schalter „EH“ (ENABLE HALT)

kann ein Modus aktiviert werden, der im Fehlerfall die Situation auf dem Daten-, Adress- und Steuerbus festhält. Es ist von der „VD“ Schalterstellung abhängig, welcher Fehlerfall erkannt wird.

- 1. Fehlerfall:** Schalter „VD“ ein, „EH“ ein und DTACK* wird von VDIS2 erzeugt, dann geht VDIS2 in den HALT-Zustand, die rote LED „VD“ leuchtet und die LED „HALT“ blinkt.
- 2. Fehlerfall:** Schalter „VD“ aus, „EH“ ein und BERR* wird auf dem VMEbus aktiv, dann geht VDIS2 in den HALT-Zustand und die LED „HALT“ blinkt.

Der HALT-Zustand kann nur durch Betätigen des „RH“ Tasters beendet werden. Danach ist die Anzeigeeinheit bereit, neu auftretende Fehler zu erkennen.

Der Taster „RH“ (RESET HALT)

setzt VDIS2 aus dem HALT-Zustand in den Ausgangszustand zurück.

Mit dem Taster „INT“ (INTERRUPT)

kann das Interrupt-FlipFlop gesetzt werden. Dies ist jedoch nur möglich, wenn der Inhalt für die Interrupt-Priorität im Interrupt-Register einen Wert > 0 hat (Wertebereich 1 bis 7). In diesem Fall leuchtet die LED „EN-INT“ auf.

Das Interrupt FF kann nur per Software zurückgesetzt werden.

3.6 Die internen Schalter

Der Schalter „EN-SHORT“ (ENABLE SHORT)

schaltet den SHORT Bereich von VDIS2 ein- bzw. aus. Die Adressen und Funktionen in diesem Bereich sind der „Adressmap“ und der Registerbeschreibung zu entnehmen.

Der Schalter „EN-DATA“ (ENABLE DATA)

gibt bei eingeschalteten „VD“ und „EN-DATA“ sowie nach Ablauf der Timeout-Zeit (innerhalb eines Read-Zyklus) den Inhalt des Datenregisters auf den VMEbus. Anschließend wird DTACK* mit einer Verzögerung von ca. 30ns aktiviert. Ist „EN-DATA“ ausgeschaltet können keine Daten von VDIS2 gelesen werden. Dies betrifft nicht den SHORT-READ von VDIS2.

4 BEACHTENSWERTES

4.1 Allgemeine Hinweise

VDIS2 beeinflusst in keiner Weise die Funktion des VMEbus, es sei denn, der Benutzer wünscht es (siehe Betriebsmodi).

Die Anzeigeeinheit belastet die benutzten VMEbus Signale generell mit einer TTL-LS-Last. Die Signale DTACK* und IRQx* werden durch einen 74LS641-1 zusätzlich belastet.

Die Anzeigeeinheit brückt die „Daisy-Chains“ BGxIN* nach BGxOUT*. Die hierfür zugehörigen Brücken auf der Busrückwand stören die Funktion von VDIS2 nicht.

Achtung !!! Die Signale IACKIN* und IACKOUT* werden immer von der VDIS2-Interrupt-Logik bearbeitet. Die zugehörige Brücke auf der Busrückwand muss immer offen sein.

Die Anzeigeeinheit kann auch ohne P2 (J2) Buchse auf der Busrückwand verwendet werden. Dann sind jedoch die Signale DI6..D31 und A24..A31 in einem nichtdefinierten Zustand. In der Regel werden die offenen Signaleingänge einen aktiven Zustand annehmen.

Wird für VDIS2 ein Steckplatz gewählt, der die Leitung zu den „Daisy-chain“-Signalen nicht verbindet, so sind diese nicht definiert. Die Signale werden dann als inaktiv dargestellt. Es kann jedoch zu zufälligen Einstreuungen kommen.

Ein SYSRESET löscht alle VMEbus Anzeigen. Jedoch SYSRESET*, SYSFAIL*, ACFAIL* und SYSCLK selbst werden dargestellt.

4.2 Zeitliche Zusammenhänge

Die Adressen, Daten, Adressmodifier, IACK*, IACKOUT*, LWORD*, WRITE*, AS*, DS0* und DS1 werden im allgemeinen mit dem Negieren von DTACK* oder BERR* gespeichert.

Alle VME-Signale gehen mit nahezu gleichen Verzögerungen in den LATTICE-FPGA. Für alle zuvor genannten Signale wird eine Setuptime und Holdtime von mindestens 15ns erwartet.

Alle Angaben dieser zeitlichen Betrachtung sind „worst case“ Annahmen. Die zeitlichen Zusammenhänge entsprechen den in der „VMEbus Spezifikation , ANSI/IEEE-STD 1014-1987 und IEC 821 and 297“ festgelegten Werten für VMEbus Slaves.

Die Signal-Stretcher erfassen erfahrungsgemäß noch Signale mit einer Dauer von mindestens 10ns. und verlängern sie bis zur Erkennbarkeit für das menschliche Auge.

4.3 Stromaufnahme

Spannung	Stromaufnahme	Leistung
+5V	1.1A bis 1.4 A	max. 7 W

5 HINWEIS UND TIPS ZUR BEDIENUNG

5.1 Monitoring

Zur laufenden Überwachung der VMEbus-Aktivitäten kann VDIS2 ständig in bestehenden Systemen verbleiben. Dabei sollte der Schalter „VD“ ausgeschaltet sein. „EH“ hingegen kann aktiviert sein. Es ist jedoch zu beachten, dass einige Betriebssysteme bei der Initialisierung den Adressraum bis zum ersten Busfehler nach vorhandenem Speicher durchsuchen. Ein in diesem Fall aufgefangener Busfehler kann „legal“ sein. Die Wahl des passenden Steckplatzes wird nachfolgend beschrieben.

5.2 Adress/Daten-Tests

Durch abwechselndes schreiben und lesen auf verschiedenen Adressen, zusammen mit dem Modus „VD“, kann man Adress/Daten-Kurzschlüsse oder Unterbrechungen feststellen.

Zum Beispiel:

Bei der ersten Adresse sind alle geraden Adress- und Datenbits gesetzt, bei der zweiten alle ungeraden. Das beim ständigen Zugriff entstehende Leuchtmuster muss homogen sein. andernfalls ist möglicherweise ein Schaden aufgetreten.

Durch die Nutzung des Software-HALT kann man die Adressen, Daten, Adressmodifier und Steuersignale zurückzulesen und vergleichen.

Vorsicht ! Bei derartigen Tests sollte durch geschickte Wahl der Adressmodifier keine anderen Slave-Module im System angesprochen werden.!

5.3 Erkennen von zufälligen Busfehlern

Im Modus „EH“ können zufällige Busfehler auch ohne den Einsatz von Software-Debuggern analysiert werden. Dazu zählen in erster Linie Ereignisse, die durch fehlerhafte Hardware hervorgerufen werden. Doch auch Software-typische „nicht initialisierte“ oder „vagabundierende“ Zeiger sind registrierbar. Selbst „Spurious Interrupts“ können damit lokalisiert werden.

Manche VME-Master erzeugen nur lokale Busfehlersignale. In diesen Fällen kann VDIS2 zunächst keinen Fehler auf dem VMEbus erkennen. Eine Aktivierung von „VD“ und „EH“ ermöglicht jedoch in diesen Fall eine Fehlererkennung. Da im Modus „VD“ kein BusError erfolgt (Timeout vom Master muss $> 5\mu\text{s}$ sein), wird bei einem Timeout die Zugriffs-Adresse auf den LEDs abgebildet.

5.4 Überprüfung der Buszuteilung

Wird VDIS2 vor einen Master gesteckt (also in den dem Master vorgeordneten Steckplatz), so kann erkannt werden, ob und wie häufig eine Buszuteilung den Weg zu diesem und alles auf der gleichen Zuteilungsebene priorisierten Mastern findet. Dies ist nicht auf VMEbus-Master mit Systemcontrollerfunktionen in Steckplatz „0“ des VMEbus anwendbar.

Es können nicht angenommene oder mehrfach vergebene Buszuteilungen (Hänger des Systems) erkannt werden.

5.5 Überprüfung der Interrupt-Daisy-Chain

Hier gilt das gleiche wie bei der Buszuteilung. Nicht angenommene oder zufällig erzeugte Interrupts können durch eine geschickte Wahl des Steckplatzes von VDIS2 und die Aktivierung des Modus „EH“ erkannt werden.

Wichtig: Interrupt Dasy-Chain Jumper muss immer offen sein.

5.6 Überprüfung des Utility Bus

Hier genügt ein Blick auf die entsprechenden LEDs. Kurze Einstreuungen, wie sie oft auf der Leitung des Signals ACFAIL* erfolgen, werden durch die Signal-“Stretcher“ Funktion der VDIS2 erkennbar.

Mehrfach eingespeiste SYSCLKs können manchmal durch Überlagerung Schwebungen erzeugen. Dies kann u.U. an der Leuchtkraft oder durch Flackern der CLK-LED erkannt werden.

6 DER SHORT ADRESSBEREICH

Auf dem Modul gibt es, neben der Schalterkonfiguration auf der Frontplatte, intern zwei Schalter mit der Funktion EN-SHORT und EN-DATA (siehe 5.2).

Um den SHORT-Bereich freizugeben, ist der Schalter EN-SHORT einzuschalten und nachfolgend beschriebene Jumper zu setzen.

Anmerkung: Der Schalter „EN-DATA“ hat mit dem Lesen der Daten aus dem SHORT-Bereich funktional nichts zu tun!

6.1 Konfiguration

VDIS2 kann im SHORT Adressmode (AM = \$29 oder \$2D) angesprochen werden. Die Vorbedingung ist jedoch, dass der Schalter „EN-SHORT“ eingeschaltet ist.

Mit den Steckbrücken JA8 bis JA15 ist die SHORT Basisadresse einzustellen.

JA15	JA14	JA13	JA12	JA11	JA10	JA9	JA08	Funktion
A15	A14	A13	A12	A11	A10	A9	A8	VME-Short-Adresse
:	I	I	I	:	I	I	I	(werkseitige Einstellung)

: = Jumper offen = logisch 1

I = Jumper gesteckt = logisch 0

Die werkseitige Einstellung der VME-BASIS-Shortadresse von VDIS2 ist \$8800 bzw. 0x8800

Wichtig: Es ist sicherzustellen, dass keine Doppelbelegung im System vorkommen!

6.2 Zugriffszeiten

Ein Write auf VDIS2 dauert von AS* bis DTACK* ca. 120ns.

Ein Read aus VDIS2 dauert von AS* bis DTACK* ca. 120ns.

Die Daten werden 60ns vor DTACK* auf dem VMEbus gelegt.

7 ADRESSMAP

Short-Adress + Offset	Zugriff	WR-Funktion /DATA	RD-Funktion /DATA
+ \$80..FC	WORD LWORD	Reset COUNTER Reset COUNTER	COUNTER Cnt15..Cnt00 COUNTER Cnt31..Cnt00
+ \$40..7F + \$40..7E + \$40..7C	BYTE WORD LWORD	DATA-Reg D07..D00/D15..D08 DATA-Reg D15..D00 DATA-Reg D31..D00	DATA-Reg D07..D00/D15..D08 DATA-Reg D15..D00 DATA-REG D31..D00
+ \$32..	WORD	-	AdrReg A23..A16 CLK- u. Power-Status
+ \$30..3C	WORD LWORD	- -	AdrReg A15..A1 AdrReg A31..A1
+ \$20..2C	Word	Software-Interrupt Control	VME-Control-Signal Reg.
+ \$10..1C	Word	Interrupt Control Reg. Timeout Reg.	Interrupt Control Reg. u. Timeout Reg.
+ \$00..0C	Word	Control Funktion	STATUS Register

Der Short Bereich umfasst 256 Byte-Adressen. Die Basisadresse ist mit den Jumpern JA8..JA15 einzustellen. Ein Zugriff auf diesen Bereich ist nur möglich, wenn der Schalter „EN-SHORT“ eingeschaltet ist.

LWORD-Zugriffe auf WORD-Adressen (A2 = 0) sind möglich, die Datenbits D31 – D16 sind jedoch nicht relevant.

7.1 Control- u. Staustregister

Short-Adr.+\$00	WR-Control-Register	RD-STATUS-Register
WORD	D15 - D14 - D13 - D12 - D11 - D10 - D09 - D08 - D07 = SO-HALT D06 - D05 - D04 = SO-ENDATA D03 = SO-RH puls D02 = SO-EH on D01 = SO-DA on D00 = SO-VD on	D15 = 1 > CLPW OK / 0 = Error D14 = Jumper J2 (for furter function) D13 = Jumper J1 (for furter function) D12 = SW-ENDATA /Switch-ENDATA D11 = SW-RH /Switch-RH D10 = SW-EH /Switch-EH D09 = SW-DA /Switch-DA D08 = SW-VD /Switch-VD D07 = SO-HALT D06 = X D05 = X D04 = SO-ENDATA /Software-ENDATA D03 = SO-RH /Software-RW D02 = SO-EH /Software-EH D01 = SO-DA /Software-DA D00 = SO-VD /Software-VD

Ein **0-Datenbit** bedeutet **aus**

Ein **1-Datenbit** bedeutet **ein = aktiv**

Mit Hilfe der Write-Control-Funktionen kann VDIS2 komplett per Software gesteuert werden. Die Software-Funktionen sind mit den Schalterfunktionen als logisches „ODER“ verschaltet.

Wichtig: Wenn dies nicht beachtet wird, kommt es zu Fehlfunktionen.

Die Funktion „SO-HALT“ dient dazu, das Überschreiben von den Daten-, Adress- und VME-Control-Register zu unterdrücken. Damit ist es möglich aus den vorgenannten Registern den Inhalt des vorausgegangenen VME-Zyklus auszulesen.

Das Status-Register gibt den Zustand der Schalter und Software Register wieder.

Das Signal CLPW (CLOCK u. POWER) wird aus folgenden Signalen erzeugt:

SCLKOK = SYCLK ist auf der Backplane aktiv

- +5VOK = Spannungsversorgung +5 Volt ist über +4,6Volt
- +12VOK = Spannungsversorgung +12 Volt ist über + 10,6 Volt
- 12VOK = Spannungsversorgung -12 Volt ist über - 10,6Volt
- +5VOV = Spannungsversorgung +5 Volt ist über + 5,5 Volt

CLPW ist logisch = 1 wenn: SCLKOK & +5VOK & +12VOK & -12VOK & !+5VOV.

Anmerkung: & = logisches UND, != Invertierung

Der Status SCLKOK und die der Power-Signale kann aus dem Adressregister (offset \$32) einzeln abgefragt werden (siehe 7.4).

7.2 Interrupt- u. Timeout Register

Short-Adr.+\$10	WR I.T. Register	RD I.T. Register
WORD	D15 = x D14 = x D13 = Timeout (bit 1) D12 = Timeout (bit 0) D10 = Interrupt-Mode 0=RORA/1=ROAC D11 = Interrupt-Priority (bit 2) D10 = Interrupt-Priority (bit 1) D08 = Interrupt-Priority (bit 0) D07 = Interrupt-Vector (bit 7) D06 = Interrupt-Vector (bit 6) D05 = Interrupt-Vector (bit 5) D04 = Interrupt-Vector (bit 4) D03 = Interrupt-Vector (bit 3) D02 = Interrupt-Vector (bit 2) D01 = Interrupt-Vector (bit 1) D00 = Interrupt-Vector (bit 0)	D15 = 0 D14 = 0 D13 = Timeout (bit 1) D12 = Timeout (bit 0) D10 = Interrupt-Mode 0=RORA/1=ROAC D11 = Interrupt-Priority (bit 2) D10 = Interrupt-Priority (bit 1) D08 = Interrupt-Priority (bit 0) D07 = Interrupt-Vector (bit 7) D06 = Interrupt-Vector (bit 6) D05 = Interrupt-Vector (bit 5) D04 = Interrupt-Vector (bit 4) D03 = Interrupt-Vector (bit 3) D02 = Interrupt-Vector (bit 2) D01 = Interrupt-Vector (bit 1) D00 = Interrupt-Vector (bit 0)

Damit VDIS2 auf dem VMEbus einen Interrupt aktivieren kann, muss der Inhalt der Interrupt-Priorität mit dem Wert 1 bis 7 gesetzt sein. Ist die Interrupt-Priorität größer Null leuchtet die LED „INT“. In diesem Fall, kann durch betätigen des Tasters „INT“ oder mit einen Software-Interrupt (siehe 8.3 Software Interrupt-Control-Register) das Interrupt-FF gesetzt werden. Entsprechend dem Inhalt der Interrupt-Priorität wird IRQx aktiv.

Wird durch den VME-Master eine Interrupt Routine aktiviert, dann muss natürlich der Interrupt-Vector zuvor entsprechen geladen werden.

Die Funktion des Interrupt-Mode (RORA/ROAC) ist dem VME-Handbuch zu entnehmen.

Wenn der Schalter „VD“ eingeschaltet ist, wird nach Ablauf der Timeout-Zeit ein DTACK* von VDIS2 generiert. Beim aktivierten SHORT-Bereich von VDIS2 kann die Timeout-Zeit wie folgt verändert werden:

TO bit 1	TO bit 0	Time bis DTACK*
0	0	4µs
0	1	3µs
1	0	2µs
1	1	1µs

Ist der Short-Bereich deaktiviert, ist die Timeout-Zeit fix auf 4µs eingestellt.

7.3 VME Control Register + SOIC

Short-Adr.+\$20	WR Softw. Interrupt Control (soic)	RD VME-Contol-Register (creg)
WORD		D15 = IACK* D14 = IACKIN* D13 = IACKOUT* D12 = DTACK* D10 = BERR* D11 = AS* D10 = DS0* D08 = DS1* D07 = WRITE* D06 = LWORD* D05 = AM5 D04 = AM4 D03 = AM3 D02 = AM2 D01 = AM1 D00 = AM0
	D15..D02 = x D01 = 1 = Software Interrupt D00 = 1 = Reset Interrupt-FF	

AM0..IACK* wird bei jedem VME-Zyklus im creg gespeichert. Jedoch nicht bei HALT oder SO-HALT

7.4 VME Adress Register

Short-Adr.+\$30	WR VME-ADR-Register (areg)	RD VME-ADR-Register (areg)
WORD LWORD --- WORD (+\$32)		D15..D00 = areg15..01,0 D31..D00 = areg31..01,0 --- D15 = SCLKOK (1 = SYSCLK aktiv) D14 = +5V OK (1 = U > +4,6 V) D13 = +12V-OK (1 = U > +10,6V) D12 = -12V-OK (1 = U > -10,6V) D11 = +5V-OverVoltage (0 = U < +5,5 V) D10..D08 = 0 D07..D00 = areg23..areg16

A31..A01 wird bei jedem VME-Zyklus im areg gespeichert. Jedoch nicht bei HALT oder SO-HALT

7.5 VME Data Register

Short-Adr.+\$40	WR VME-DATA-Register (dreg)	RD VME-DATA-Register (dreg)
BYTE WORD LWORD		D15..D00 = dreg15..00 / LB or HB D15..D00 = dreg15..00 D31..D00 = dreg31..00

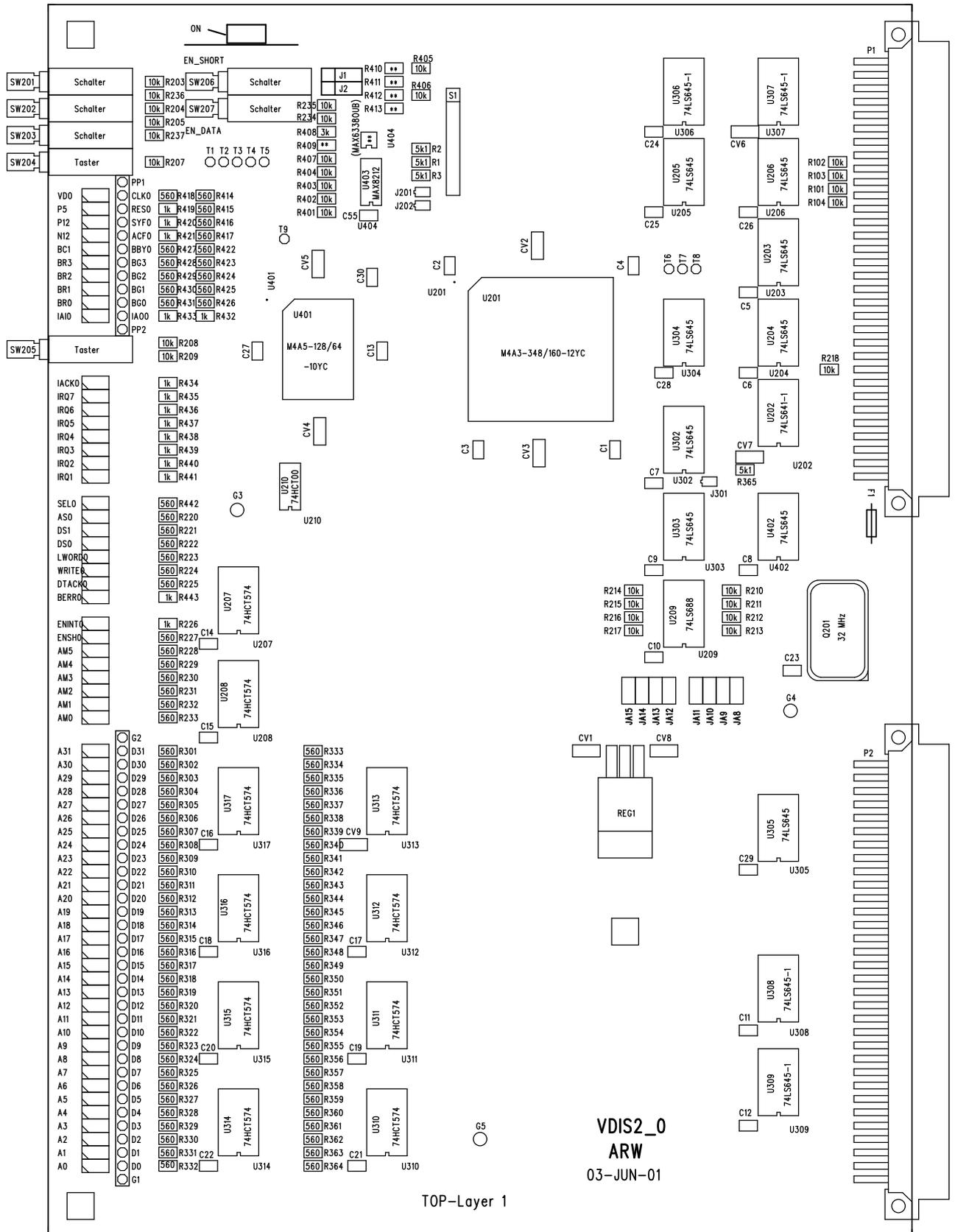
D31..D01 wird bei jedem VME-Zyklus im dreg gespeichert. Jedoch nicht bei HALT oder SO-HALT

7.6 Testzähler

Short-Adr.+\$80	WR Counter	RD Counter (cnt)
WORD LWORD	Clear Counter (data not used) Clear Counter (data not used)	D15..D00 = cnt15..00 D31..D00 = cnt31..00

Der Testzähler-Inhalt wird nach jedem Read um 1 erhöht

8 BESTÜCKUNGSPLAN



TOP-Layer 1

VDIS2_0
ARW
03-JUN-01

C1..C29 = 100nF/0805

CV1..CV9 = 4,7uF/1206

** nicht bestückt

9 DER VMEBUS

9.1 VMEbus Belegung J1

P1 ist ein Steckverbinder nach DIN 41612, Bauform C, männlich, mit den beiden Reihen a, b und c belegt. Er führt die Signale des VMEbus Interface nach außen.

PIN #	Reihe A Signal Name	Reihe B Signal Name	Reihe C Signal Name
1	D 00	BBSY*	D 08
2	D 01	BCLR*	D 09
3	D 02	ACFAIL*	D 10
4	D 03	BGOIN*	D 11
5	D 04	BG0OUT*	D 12
6	D 05	BG1IN*	D 13
7	D 06	BG1OUT*	D 14
8	D 07	BG2IN*	D 15
9	GND	BG2OUT*	GND
10	SYSCLK	BG3IN*	SYSFAIL*
11	GND	BG3OUT+	BERR*
12	DS1*	BR0*	SYSRESET*
13	DS0*	BR1 *	LWORD*
14	WRITE*	BR2*	AM 5
15	GND	BR3 *	A 23
16	DTACK*	AM 0	A 22
17	GND	AM 1	A 21
18	AS*	AM 2	A 20
19	GND	AM 3	A 19
20	IACK*	GND	A 18
21	IACKIN*	SERCLK	A 17
22	IACKOUT*	SERDAT*	A 16
23	AM 4	GND	A 15
24	A 07	IRQ7*	A14
25	A 06	IRQ6*	A 13
26	A 05	IRQS*	A 12
27	A 04	IRQ4*	A 11
28	A 03	IRQ3 *	A 10
29	A 02	IRQ2*	A 09
30	A 01	IRQ1*	A 08
31	-12V	+5V STBY	+12V
32	+5V	+5V	+5V

9.2 VMEbus Belegung J2

P2 ist ein Steckverbinder nach DIN 41612, Bauform C, männlich, mit den beiden Reihen a, b und c belegt. Er führt die Signale des erweiterten VMEbus Interface nach außen.

PIN #	Reihe A Signal Name	Reihe B Signal Name	Reihe C Signal Name
1	N.C.	+5V	N.C.
2	N.C.	GND	N.C.
3	N.C.	RESERVED	N.C.
4	N.C.	A 24	N.C.
5	N.C.	A 25	N.C.
6	N.C.	A 26	N.C.
7	N.C.	A 27	N.C.
8	N.C.	A 28	N.C.
9	N.C.	A 29	N.C.
10	N.C.	A 30	N.C.
11	N.C.	A 31	N.C.
12	N.C.	GND	N.C.
13	N.C.	+5V	N.C.
14	N.C.	D 16	N.C.
15	N.C.	D 17	N.C.
16	N.C.	D 18	N.C.
17	N.C.	D 19	N.C.
18	N.C.	D 20	N.C.
19	N.C.	D 21	N.C.
20	N.C.	D 22	N.C.
21	N.C.	D 23	N.C.
22	N.C.	GND	N.C.
23	N.C.	D 24	N.C.
24	N.C.	D 25	N.C.
25	N.C.	D 26	N.C.
26	N.C.	D 27	N.C.
27	N.C.	D 28	N.C.
28	N.C.	D 29	N.C.
29	N.C.	D 30	N.C.
30	N.C.	D 31	N.C.
31	N.C.	GND	N.C.
32	N.C.	+5V	N.C.

N.C. = auf der VDIS nicht angeschlossen (not connected)

Alle Signale, mit der Endung '* ' sind mit einem Pegel unter der TTL Schaltschwelle aktiv.

9.3 Die Adress-Modifier des VMEbus

Sie werden wie die Adressen behandelt.

Adress Modifier (hex) Funktion

3F	Standard Supervisory Block Transfer
3E	Standard Supervisory Programm Access
3D	Standard Supervisory Data Access
3C	Reserved
3B	Standard Nonprivileged Block Transfer
3A	Standard Nonprivileged Programm Access
39	Standard Nonprivileged Data Access
38 .. 2E	Reserved
2D	Short Supervisory Access
2C .. 2A	Reserved
29	Short Nonprivileged Access
28 .. 20	Reserved
1 F .. 10	User-defined
0F	Extended Supervisory Block Transfer
0E	Extended Supervisory Programm Access
0D	Extended Supervisory Data Access
0C	Reserved
0B	Extended Nonprivileged Block Transfer
0A	Extended Nonprivileged Programm Access
09	Extended Nonprivileged Data Access
08 .. 00	Reserved

10 NOTIZEN